

Componentes, estructura y funcionamiento de la Unidad Central de Proceso.

TEMA 03

INFORMATICA

Sistemas y Aplicaciones Informáticas (SAI)

OPOSICIONES 2023

ABACUSNT

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

2.2. Arquitectura Harvard

El término proviene del diseño de la computadora **Mark I basada en relés** y desarrollada en la universidad de Harvard.

La característica diferenciada de esta arquitectura reside en que **la memoria de datos y de instrucciones está separada**, así como la lógica de control de las mismas.

En la arquitectura de Harvard original, no existe realmente una memoria de programa, sino que **la programación se realiza mediante el encendido y apagado de relés**, ya que la idea de considerar la programación en términos de memoria fue posterior.

Esta arquitectura permite leer en paralelo datos e instrucciones, porque cuenta con un **sistema doble y diferenciado** de flujo y control.

Actualmente las arquitecturas **ARM, x86 y AMD64** son de tipo “**Harvard modificado**” ya que permiten acceso simultáneo a **memoria de programa y a memoria de datos al estar separada pero sólo en caché**, mientras que en la memoria principal se encuentran juntas al clásico estilo de la arquitectura Von Neumann.

Este tipo de arquitectura **Harvard Modificada** aúna las ventajas de ambas:

Mantienen **una única memoria principal de datos e instrucciones**, de forma que se simplifica la lógica de circuitos y la disponibilidad de espacio.

Permiten la **protección de instrucciones a nivel de procesador** mediante la separación a nivel de caché.

Al estar separados en la CPU, existe un **acceso paralelo y simultáneo a datos e instrucciones**, con el consiguiente incremento de rendimiento.

2.3. Taxonomía de Flynn

La taxonomía de Flynn es **una clasificación de arquitecturas** de computadores propuesta por Michael J. Flynn en 1972.

Clasificaciones

Las cuatro clasificaciones definidas por Flynn se basan en el número de instrucciones concurrentes (control) y en los flujos de datos disponibles en la arquitectura:

- **Una instrucción, un dato (SISD)**

Computador secuencial que no explota el paralelismo en las instrucciones ni en flujos de datos. Es la Arquitectura Von-Neumann. Un único procesador ejecuta un solo flujo de instrucciones para operar datos en una única memoria. Se ejecuta una única instrucción y un dato en cada ciclo de reloj. Puede utilizar técnicas de segmentación o de **pipelining**. Ejemplos de arquitecturas SISD son

las máquinas con **uniprocador o monoprocesador** tradicionales como el PC o los antiguos mainframe.

- **Una instrucción, múltiples datos (SIMD)**

Todas las unidades ejecutan la **misma instrucción sincronizadamente, pero con datos distintos**. Es un computador que explota varios flujos de datos dentro de un único flujo de instrucciones para realizar operaciones que pueden ser paralelizadas de manera natural. Puede ser de Arquitectura vectorial o Arquitectura matricial.

- **Múltiples instrucciones, un dato (MISD)**

Poco común debido al hecho de que la efectividad de los múltiples flujos de instrucciones suele precisar de múltiples flujos de datos. Sin embargo, este tipo se usa en situaciones de **paralelismo redundante, como por ejemplo en navegación aérea**, donde se necesitan varios **sistemas de respaldo** en caso de que uno falle.

- **Múltiples instrucciones, múltiples datos (MIMD)**

Varios procesadores autónomos que ejecutan simultáneamente instrucciones diferentes sobre datos diferentes. **Los sistemas distribuidos suelen clasificarse como arquitecturas MIMD**; bien sea explotando un único espacio compartido de memoria, o uno distribuido.

3. Componentes de la CPU

La unidad central de Proceso (CPU = Central Process Unit) **unifica los elementos funcionales de Unidad de Control y Unidad Aritmético-Lógica**.

3.1. Unidad de Control

Es el centro neurálgico del ordenador, donde se procesan los programas y su función consiste en realizar la **búsqueda, carga, secuenciación y ejecución** de las instrucciones.

Estas instrucciones están escritas en **Lenguaje Máquina** y están formadas por un **código de operación**, que indica a la UC qué operación debe realizarse, y **por hasta dos datos o direcciones de memoria** que indican la localización de esos datos.

Para realizar su trabajo, la UC utiliza los siguientes elementos:

Registros, entre los que cabe destacar:

PC: Contador de programa. Contiene en todo momento la dirección de memoria de la siguiente instrucción a ejecutar.

IR: Registro de instrucción. Almacena la instrucción en curso, que llevará consigo el código de operación y en su caso, los operandos o las direcciones de memoria de los mismos.

MAR: Registro de direcciones de memoria Se utilizan para almacenar direcciones de memoria que contienen los datos de una instrucción o el lugar donde almacenar el resultado de la misma.

SR: Registro de estado. Contiene información sobre el resultado de la operación anterior de la unidad aritmético lógica y de posibles situaciones anómalas, como desbordamientos, interrupciones, etc.

Otros registros, como los **registros genéricos** que pueden ser utilizados por los propios programas y otros **registros específicos** utilizados por el procesador (**puntero de pila, registro de base, etc.**) y que dependen de su arquitectura concreta.

Clk: Reloj. El reloj es un circuito oscilador que genera autónomamente una señal en forma de pulsos a intervalos constantes que marcan los instantes en que han de comenzar los distintos pasos de que consta cada instrucción.

Decodificador. Se encarga de extraer el código de operación de la instrucción en curso, analizarlo y emitir las señales necesarias al resto de elementos para su ejecución a través del secuenciador.

Secuenciador. Genera una serie de órdenes muy elementales que permiten ejecutar la instrucción en curso, de forma síncrona con el reloj del sistema.

Por último, cabe señalar que las Unidades de Control se pueden clasificar en **dos Categorías**:

- **UC cableadas.** La lógica está implementada en el hardware, lo que las convierte en UC de **propósito específico** y no es modificable.
- **UC microprogramadas.** En ellas, la lógica se implementa como un programa almacenado como **firmware**, lo que permite su posterior reescritura.

3.2. Unidad Aritmético-Lógica

Es la unidad funcional encargada de realizar las operaciones aritméticas y lógicas **bajo la supervisión de la unidad de control.**

Las operaciones que puede efectuar esta unidad **solían ser muy elementales**, puesto que normalmente estaban formadas por un circuito sumador-restador, y basaban todas las operaciones aritméticas en sumas, descomponiendo las operaciones complejas en pasos elementales.

Actualmente la Unidad Aritmética ha cobrado gran importancia y el tipo de operaciones que realiza es muy complejo, siendo similar a una **calculadora científica de alta velocidad y gran precisión.**

Las operaciones que es capaz de realizar la ALU se clasifican en tres grupos:

Aritméticas. Normalmente son la suma (ADD), la resta (SUB), la multiplicación (MUL), la división (DIV) y el cambio de signo.

Lógicas. Normalmente son la negación (NOT), la suma lógica (OR), el producto lógico (AND) y la suma exclusiva (XOR).

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

Los saltos condicionales introducen retardo en estos procesadores, ya que normalmente no se evalúa la condición del salto hasta pasadas varias etapas, lo que hace que se tenga que parar el cauce, o que se puedan introducir instrucciones en la segmentación que no deben de ser ejecutadas, teniendo que convertirse **posteriormente en NOP**, y decrementando así el rendimiento.

La predicción es posible anotando el comportamiento del programa en saltos anteriores.

Un predictor dinámico trabaja en tiempo de ejecución, intentando aprender el comportamiento del programa para predecir con la mínima tasa de fallos si un salto será o no tomado. Existen varios tipos dependiendo de la información que son capaces de recoger sobre el programa para hacer predicciones.

3.3.5. Unidad de instrucciones extendidas

Los procesadores -desde el Intel **Pentium MMX**- incorporan **instrucciones complejas como las SSE2**, para la gestión avanzada de multimedia y que hacen uso directo de esta unidad.

Últimamente están empezando a incorporar también instrucciones RISC para protección y seguridad (por ejemplo, para generar tokens en las tecnologías **VPro** de Intel).

3.3.6. Núcleos especializados y SoC

Otra tendencia de todos los microprocesadores es a transformarse en lo que se conoce como SoC, y que se emplea ampliamente en la tecnología ARM: **Systems on a Chip**.

De esta forma incorporan GPU Completas especializadas en gráficos (por ejemplo, Intel UHD o Nvidia GeForce) así como CPU especializadas en IA (núcleos neuromórficos)

No obstante, los **microprocesadores basados en ARM van un paso más allá** y pueden incorporar controladores **bluetooth, wifi, sonido**, etc.

3.4. Sistema de Entrada/Salida

El conjunto de componentes de un ordenador se comunica entre sí mediante ciertos caminos, que constituyen la estructura de interconexión, o buses de Entrada/Salida

En la arquitectura Von Neumann se distinguen los buses de **datos, dirección y control**:

3.4.1. Bus de datos:

El bus de datos permite el intercambio de datos entre la CPU y el resto de unidades.

3.4.2. Bus de direcciones:

La memoria RAM es direccionable, de forma que cada celda de memoria tiene su propia dirección. Las direcciones son un número que selecciona una celda de memoria dentro de la memoria principal o en el espacio de direcciones de la unidad de entrada/salida.

El bus de direcciones es un canal del microprocesador **totalmente independiente del bus de datos** donde se establece la dirección de memoria del dato en tránsito.

El bus de dirección consiste en el conjunto de **líneas eléctricas** necesarias para establecer una dirección. **La capacidad de la memoria que se puede direccionar depende de la cantidad de bits que conforman el bus de direcciones**, siendo 2^n el tamaño máximo en bits del banco de memoria que se podrá direccionar con n líneas. Por ejemplo, para direccionar una memoria de 256 bits, son necesarias al menos 8 líneas, pues $2^8 = 256$. Adicionalmente pueden ser necesarias líneas de control para señalar cuándo la dirección está disponible en el bus. Esto depende del diseño del propio bus.

3.4.3. Bus de control:

El bus de control **gobierna el uso y acceso a las líneas de datos y de direcciones**. Como estas líneas están **compartidas por todos los componentes**, tiene que **proveerse de determinados mecanismos que controlen su utilización**. Las señales de control transmiten tanto **órdenes como información de sincronización**, evitando que haya colisión de información en el sistema.

3.4.4. Buses multiplexados:

Algunos diseños utilizan líneas eléctricas multiplexadas para el **bus de direcciones y el bus de datos**. Esto significa que un mismo conjunto de líneas eléctricas se comportan unas veces como bus de direcciones y otras veces como bus de datos, **pero nunca al mismo tiempo**. Una línea de control **permite discernir cuál de las dos funciones está activa**.

3.4.5. Periféricos.

Los periféricos se interconectan a la unidad de Entrada / Salida mediante el uso de una **interfaz** con especificaciones de acceso **estandarizadas** tanto a nivel de **forma, como de voltaje y de protocolos** de comunicación.

Cada periférico dispone de un **circuito controlador** (o **controladora**) que gestiona toda la lógica del mismo.

Las peculiaridades de cada dispositivo son gestionadas de forma transparente por el sistema operativo mediante un **software controlador (driver)** que es normalmente provisto por el propio fabricante.

Los periféricos pueden ser **clasificados** en dispositivos de **Entrada**, de **Salida**, o de **Entrada y Salida**; estos últimos son de tipo **almacenamiento** o **comunicación**.

4. Funcionamiento de la unidad central de proceso.

4.1. Ciclo de Instrucción

Un **ciclo de instrucción** (también llamado ciclo de fetch-and-execute) es el período que tarda la unidad central de proceso (CPU) en ejecutar una instrucción de lenguaje máquina.

Comprende una secuencia de acciones determinada que debe llevar a cabo la CPU para ejecutar cada instrucción en un programa. **Cada instrucción del juego de instrucciones de una CPU, puede requerir diferente número de ciclos de instrucción** para su ejecución. Un ciclo de instrucción está formado por uno o más ciclos máquina.

4.1.1. Fases de ejecución de las instrucciones.

1. **Buscar la instrucción** en la memoria principal (Fetch)

Se vuelca el valor del registro **contador de programa** sobre el bus de direcciones. Entonces la CPU pasa la instrucción de la memoria principal a través del bus de datos al **Registro de Dirección de Memoria** (MAR). A continuación, el valor del MAR es colocado en el **Registro de Instrucción Actual** (IR), un circuito que guarda la instrucción temporalmente de manera que pueda ser decodificada y ejecutada.

2. Decodificar la instrucción (**Decode**)

El **decodificador** de instrucción interpreta e implementa la instrucción. El registro de instrucción (IR) mantiene la instrucción en curso mientras el contador de programa (PC, program counter) guarda la dirección de memoria de la siguiente instrucción a ser ejecutada.

3. Ejecutar la instrucción (**Execute**)

A partir del registro de instrucción, los datos que forman la instrucción son **decodificados** por la unidad de control. Ésta **interpreta la información como una secuencia de señales** de control que son enviadas a las unidades funcionales de la CPU para realizar la operación requerida por la instrucción.

4. Escritura de los resultados (**writeback**)

El resultado generado por la operación es **almacenado en la memoria principal** o enviado a un dispositivo de salida dependiendo de la instrucción.

5. Finalización (**retirement**)

Basándose en los resultados de la operación, **el contador de programa se incrementa** para apuntar a la siguiente instrucción **o se actualiza** con una dirección diferente donde la próxima instrucción será recogida.

En los procesadores **superescalares se añaden además las fases de planificación**

El ciclo de búsqueda

Los pasos **1 y 2** del ciclo de instrucción se conocen como ciclo de búsqueda. El ciclo de búsqueda procesa la instrucción a partir de la palabra de instrucción, que contiene el código de operación y el operando.

El ciclo de ejecución

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

5. Conclusión

La arquitectura de los ordenadores actuales está basada en principios de los años cincuenta del pasado siglo XX; no por eso es algo inamovible. Actualmente la arquitectura CISC dominante en el sector durante muchos años bajo marcas como Intel, AMD, IBM, Cyrix y otros, ha tendido a una convergencia con un modelo híbrido con RISC.

Sin embargo, cobra terreno la arquitectura RISC basada en Harvard, actualmente liderada por el fabricante de núcleos ARM; y no sólo en el ámbito de los smartphones y dispositivos Android y IOS; Apple ya ha anunciado (año 2020) que comenzará a fabricar ordenadores portátiles con procesadores de su propia marca basados en ARM en lugar de utilizar chips Intel.

A pesar de todo, vemos que los principios de la arquitectura del ordenador no varían mucho de las originales, siendo estas y el modo de funcionamiento algo que no ha cambiado apenas y quizás tengamos que esperar al desarrollo de ordenadores cuánticos a gran escala para ver ese cambio.

5.1. Relación del tema con el sistema educativo actual

Este tema es aplicado en el aula en los módulos profesionales siguientes, con las atribuciones docentes indicadas (PES/SAI):

Formación profesional básica

- Montaje y Mantenimiento de sistemas y componentes informáticos (TPB en Informática de Oficina/ TPB en informática y Comunicaciones) (PES/SAI)

Grado Medio

- Montaje y Mantenimiento de Equipos (SMR) (PES/SAI)

Grado Superior

- Sistemas informáticos (DAM / DAW) (PES/SAI)
- Fundamentos de hardware (ASIR) (PES/SAI)

ESO

- Tecnologías de la Información y la Comunicación I (Bachillerato) (PES)

6. Bibliografía

- De Anasagasti, Miguel. "Fundamentos de la Computadora" 9ªed 2004 Edt. Paraninfo

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.